

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273400

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

G11C 29/00

G01R 31/28

G06F 12/16

識別記号

675

330

FI

G11C 29/00

G06F 12/16

G01R 31/28

675C

330A

B

V

審査請求 未請求 請求項の数6 OL (全7頁)

(21) 出願番号

特願平10-75187

(22) 出願日

平成10年(1998)3月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 飯田 好和

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 ▲高▼橋 紫濃

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 西沢 裕孝

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 大日方 富雄

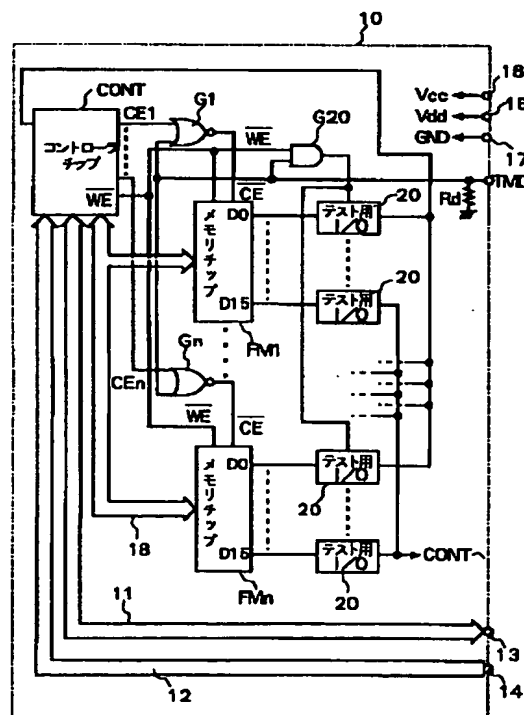
最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 従来のメモ리카ードの選別試験は、カード内のチップごとにテストパターンを入力する方式であるため、内蔵されるチップの数が多いほど試験時間が長くなるという課題があった。

【解決手段】 複数のメモリチップ (FM) とこれらのメモリチップの選択信号 (CE) および読出し・書込み制御信号 (WE) を形成するコントローラチップ (CONT) を内蔵したメモ리카ードにおいて、各メモリチップのデータ入出力端子毎に、外部からのテストモード制御信号 (TMD) と上記コントローラチップから出力される読出し・書込み制御信号とに基づいて相補的にオン・オフされる一対の伝送手段 (TG1, TG2) を設けるとともに、一方の伝送手段はそのままコントローラチップに接続し、他方の伝送手段は例えばコレクタ接地の出力用トランジスタ (22) などを通じてコントローラチップに接続して、テストモードの際には上記テストモード制御信号に基づいて上記コントローラチップから出力されるチップ選択信号のいかににかかわらず全てのチップを選択状態にさせるようにした。



【特許請求の範囲】

【請求項1】 複数のメモリチップとこれらのメモリチップの選択信号および読出し・書込み制御信号を形成するコントローラチップを内蔵した記憶装置において、各メモリチップのデータ入出力端子毎に、外部からのテストモード制御信号と上記コントローラチップから出力される読出し・書込み制御信号とに基づいて相補的にオン・オフされる一対の伝送手段を設けるとともに、一方の伝送手段は装置のコントローラチップに接続し、他方の伝送手段は出力用トランジスタを介して上記コントローラチップに接続して、テストモードの際には上記テストモード制御信号に基づいて上記コントロールチップから出力されるメモリチップ選択信号のいかににかかわらず全てのメモリチップを同時に選択状態に移行可能に構成したことを特徴とする記憶装置。

【請求項2】 上記他方の伝送手段と出力用トランジスタとの間には上記メモリチップから読み出されたデータ信号を反転した信号を出力可能な手段を設けたことを特徴とする請求項1に記載の記憶装置。

【請求項3】 上記伝送手段を介して各メモリチップのデータ入出力端子が接続されるコントローラチップの入出力端子は、各メモリチップの入出力データの同一ビット同士で共通のコントローラチップの入出力端子に接続可能に構成されてなることを特徴とする請求項1または2に記載の記憶装置。

【請求項4】 上記伝送手段を介して各メモリチップのデータ入出力端子が接続されるコントローラチップの入出力端子は、各メモリチップごとに入出力データの全ビットが共通のコントローラチップの入出力端子に接続可能に構成されてなることを特徴とする請求項1または2に記載の記憶装置。

【請求項5】 上記出力用トランジスタは、エミッタ端子が上記コントローラチップの入出力端子に接続されたコレクタ接地のバイポーラ・トランジスタからなることを特徴する請求項1、2、3または4に記載の記憶装置。

【請求項6】 上記メモリチップは不揮発性メモリチップであることを特徴する請求項1、2、3、4または5に記載の記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体メモリからなる記憶装置の検査技術さらにはメモリカードの選別試験に適用して有効な技術に関し、例えば複数個のフラッシュメモリチップを内蔵したメモリカードに利用して有効な技術に関する。

【0002】

【従来の技術】 従来、複数個のメモリチップを内蔵したメモリカードの選別試験は、メモリカードに設けられている端子よりテストパターンを入力してメモリチップを

一つずつ選択してそのチップから出力される全ての信号を判定する方法が一般的であった。

【0003】

【発明が解決しようとする課題】 上記メモリカードの選別試験は、カード内のチップごとにテストパターンを入力する方式であるため、内蔵されるチップの数が多いほど試験時間が長くなるという課題があった。特に、電気的に一括消去可能なフラッシュメモリのような不揮発性メモリを内蔵したメモリカードは、データの書込み、消去時間がRAMのような揮発性のメモリに比べて長いため一層試験時間が長くなるという欠点がある。しかも、メモリカードは年を追うごとに大容量化され内蔵されるチップ数も増加する傾向があるため、短時間に選別試験が可能な技術が望まれていた。

【0004】 この発明の目的は、メモリカードの選別試験に要する時間の大幅な短縮を可能にする技術を提供することにある。

【0005】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0007】 すなわち、複数のメモリチップとこれらのメモリチップの選択信号および読出し・書込み制御信号を形成するコントローラチップを内蔵したメモリカードのような記憶装置において、各メモリチップのデータ入出力端子毎に、外部からのテストモード制御信号と上記コントローラチップから出力される読出し・書込み制御信号とに基づいて相補的にオン・オフされる一対の伝送手段を設けるとともに、一方の伝送手段はそのままカードのコントローラチップに接続し、他方の伝送手段は例えばコレクタ接地の出力用トランジスタなどを介してカードのコントローラチップに接続して、テストモードの際には上記テストモード制御信号に基づいて上記コントローラチップから出力されるチップ選択信号のいかににかかわらず全てのチップを選択状態へ移行可能に構成したものである。

【0008】 上記した手段によれば、選別試験の際に装置内のすべてのメモリチップに対して同時テストパターンを入力して記憶させ、かつ全てのメモリチップから同時に記憶データを読み出してそれらのワイヤードオア論理をとった信号を装置のデータ入出力用端子から出力させることができるため、1チップずつ順番にテストパターンの入力および出力を行なう従来の選別試験方法に比べて大幅に試験時間を短縮することが可能となる。

【0009】 特に、上記メモリチップが不揮発性メモリチップである場合には、RAMなどに比べてデータの書込みや消去に時間を要するため、複数のチップに対して

テストパターン同時に入力して同時に出力を判定することによる試験時間の短縮の効果が極めて大きいという利点がある。

【0010】また、上記他方の伝送手段と出力用トランジスタとの間には各メモリチップから読み出されたデータ信号を反転した信号を出力可能な手段を設けるようにした。これによって、データ“0”を書込み不能なビットを有する不良メモリチップとデータ“1”を書込み不能なビットを有する不良メモリチップのいずれの不良をも検出することができる。

【0011】さらに、上記伝送手段を介して各メモリチップのデータ入出力端子が接続される装置のコントローラチップの入出力端子は、各メモリチップの入出力データの同一ビット同士で共通化させるようにしても良いが、各メモリチップごとにデータ入出力端子を共通のコントローラチップの入出力端子に接続可能に構成しても良い。これによって、短時間に選別試験が可能な上に装置内のどのメモリチップが不良であるか識別して検出することが可能となる。その結果、不良チップを内蔵する記憶装置は、検出された不良チップを使用できないように処理をして全体の容量を1ランク下げた良品として（例えば30Mバイトのメモリカードなら15Mバイトのメモリカードなどとして）提供することもできるようになる。

【0012】また、上記出力用トランジスタは、エミッタ端子が上記コントローラチップの入出力端子に接続されたコレクタ接地のバイポーラ・トランジスタにより構成するようにした。これによって、バッファ回路等を用いて出力する場合に比べて素子数を減らし、占有面積を小さくすることができるとともに、コントローラチップの入出力端子までの配線（プリント配線）の有する寄生抵抗や寄生容量などの負荷を容易に駆動することができる。

【0013】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0014】図1は、本発明を適用したフラッシュメモリカードの第1の実施例を示す。

【0015】この実施例のメモリカードは、特に制限されないが、 n 個のフラッシュメモリチップFM1～FM n と、外部から入力されるアドレス信号や制御信号に基づいて各メモリチップに対する選択信号CE1～CE n および読出し・書込み制御信号/WE（ロウレベルのとき書込みが有効）を形成する制御用チップとしてのコントローラチップCONTが、プリント配線基板10上に搭載され、全体が樹脂等によりモールドされて構成される。上記コントローラチップCONTは1個ないし数個の半導体チップで構成され、基板10上に形成されたアドレスバス11およびコントロールバス12を介して外部端子13、14に接続されている。また、コントローラ

チップCONTとフラッシュメモリチップFM1～FM n との間は別のバス18を介して接続されている。

【0016】この実施例では、上記各メモリチップFM1～FM n のデータ入出力端子ごとテスト用入出力回路20が設けられており、各メモリチップの対応するテスト用入出力回路20同士は、コントローラチップCONTの入出力端子にそれぞれ共通に接続される。すなわち、この実施例のメモリチップFM1～FM n は各々16個のデータ入出力端子D0～D15を備えており、各メモリチップの第1のデータ入出力端子D0は対応して設けられているテスト用入出力回路20を介してコントローラチップCONTの第1の入出力端子I/O0に接続され、各メモリチップの第2のデータ入出力端子はコントローラチップCONTの第2の入出力端子に、また、第3のデータ入出力端子はコントローラチップCONTの第3の入出力端子に接続される。以下同様にして、メモリチップの各データ入出力端子は対応するコントローラチップCONTの入出力端子にそれぞれ接続されている。

【0017】さらに、この実施例のメモリカード10には、上記コントローラチップCONTから各メモリチップFM1～FM n に対して供給されるチップ選択信号CE1～CE8を一方の入力とし、他方の入力に外部から供給されるテストモード信号TMD（ハイレベルが有効）が与えられるようにされたNORゲートG1～G8が各メモリチップFM1～FM n ごとに設けられている。これとともに、全メモリチップFM1～FM n に対して出力される共通の読出し・書込み制御信号/WEを一方の入力とし、他方の入力に外部から供給されるテストモード信号TMDが与えられるようにされたANDゲートG20が設けられ、このANDゲートG20の出力信号によって各データ入出力端子ごとに設けられた上記テスト用入出力回路20が制御されるように構成されている。15はメモリチップFM1～FM n およびコントローラチップCONTに供給される電源電圧V $_{dd}$ が印加される外部電源端子、16はテスト用入出力回路20に供給される電源電圧V $_{cc}$ （>V $_{dd}$ ）が印加される外部電源端子、17はカード内のすべての回路に供給される接地電位が印加される外部接地端子である。電源電圧V $_{cc}$ はカード内部でV $_{dd}$ から発生するようにしても良い。

【0018】なお、上記実施例では、テストモード信号TMDが入力される端子にプルダウン抵抗R $_d$ が接続されており、通常使用状態でこの端子がオープン状態（何も電圧が印加されない状態）にされても、誤ってテストモードに入らないように構成されている。また、上記テストモード信号TMDは、カードに空き端子があるときはその端子から、また空き端子がないときは例えばコントローラチップから出力するように構成することができる。その場合、コントローラチップは、外部より入力さ

れる制御信号の未使用の組合わせに基づいて、テストモードが指示されているか判定して制御信号TMDを形成するように構成することができる。

【0019】さらに、図1の実施例では、テスト用入出力回路20が各々別個の回路として示されているが、これらの回路は1つの半導体チップ上にまとめて形成しておいたり、あるいはコントローラチップCONTへ取り込んで1チップ化することも可能である。

【0020】図2には、上記テスト用入出力回路の具体的な回路構成例が示されている。この実施例のテスト用入出力回路20は、メモリチップのデータ入出力端子 D_i ($i=0\sim 15$)とコントローラチップCONTの入出力端子 I/O_i との間に一対のPチャネルMOSFETとNチャネルMOSFETとが並列接続されたCMOSトランスマッションゲートからなる伝送手段TG1、TG2が並列に設けられているとともに、一方の伝送手段TG1とコントローラチップCONTの入出力端子 I/O_i との間にはレベル変換回路21とコレクタ接地のバイポーラ・トランジスタからなる出力用トランジスタ22とが設けられている。

【0021】レベル変換回路21は、例えば一対のPチャネルMOSFET MP1、MP2と一対のNチャネルMOSFET MN1、MN2とからなり互いのドレイン端子がPMOS MP1、MP2のゲート端子に交差結合されたCMOSラッチ型回路で構成され、各メモリチップから出力されるTTLレベルの信号をコレクタ接地のバイポーラ・トランジスタ22の出力に変換し、出力レベルの2値化を実現している。そして、各出力トランジスタ22のエミッタ端子は共通結合され、CMOSトランスマッションゲートからなるスイッチSWおよび抵抗 R_c を介して接地点に接続され、ワイヤードOR論理をとった出力がコントローラチップCONTの入出力端子に供給されるように構成されている。

【0022】上記一対の伝送手段TG1、TG2は、テストモード制御信号TMDと読出し・書込み制御信号/WEとを入力信号とする前記ANDゲートG20の出力信号によって制御され、テストモード制御信号TMDがテストモードでない通常動作モードを示すロウレベルにされているときは、TG1、TG2のうちTG2が導通状態にされて、メモリチップのデータ入出力端子 D_i とコントローラチップCONTの入出力端子 I/O_i との間を直結する。これによって、通常モードでは、メモリチップのデータ入出力端子 D_i から出力されたデータ信号は直ちにコントローラチップCONTの入出力端子 I/O_i よりコントローラチップCONTへ入力される一方、コントローラチップCONTの入出力端子 I/O_i より出力されたデータ信号はメモリチップのデータ入出力端子 D_i に供給される。

【0023】なお、このとき入力されたデータ信号はコントローラチップCONTの入出力端子 I/O_i を共通

にする他のメモリチップにも供給されるが、通常モードでは各メモリチップはコントローラチップから出力されるチップ選択信号 $CE_1\sim CE_n$ によっていずれか一つのみが有効化されているため、選択されたメモリチップのみが入力されたデータを取り込み、内部のメモリセルに書き込みが行なわれる。

【0024】上記テストモード制御信号TMDがテストモードを示すハイレベルにされているときは、コントローラチップから出力される読出し・書込み制御信号/WEに応じて伝送手段TG1、TG2のうち一方が導通状態にされる。具体的には、テストモードのときに読出し・書込み制御信号/WEが書き込みを示すロウレベルにされると、TG1、TG2のうちTG2が導通状態にされて、メモリチップのデータ入出力端子 D_i とコントローラチップCONTの入出力端子 I/O_i との間を直結する。これによって、通常モードでは、メモリチップのデータ入出力端子 D_i から出力されたデータ信号は直ちにコントローラチップCONTの入出力端子 I/O_i よりコントローラチップCONTへ入力される一方、コントローラチップCONTの入出力端子 I/O_i より出力されたデータ信号はメモリチップのデータ入出力端子 D_i に供給される。しかも、このとき入力されたデータ信号はコントローラチップCONTの入出力端子 I/O_i を共通にする他のメモリチップにも供給されるが、テストモードではコントローラチップCONTから出力されるチップ選択信号 $CE_1\sim CE_n$ とテストモード信号TMDとを入力とするNORゲート $G_1\sim G_n$ の出力がすべてロウレベルにされるため、全メモリチップが有効化される。そのため、テストモードでは、すべてのメモリチップがコントローラチップCONTの入出力端子より出力されたデータを取り込み内部のメモリセルに書き込みが行なわれる。

【0025】これに対し、テストモードのときに読出し・書込み制御信号/WEが読出しを示すハイレベルにされると、伝送手段TG1、TG2のうちTG1が導通状態にされて、メモリチップのデータ入出力端子 D_i を対応するテスト用入出力回路20に接続させる。これによって、テストモードでは、メモリチップのデータ入出力端子 D_i から出力された読出しデータ信号はテスト用入出力回路20に供給されてレベル変換され、読出しデータに応じて出力トランジスタ22がオン、またはオフ状態にされる。このオン、オフ状態に応じた信号がコントローラチップCONTの入出力端子 I/O_i よりコントローラチップCONTへ入力される。しかも、このとき、全メモリチップの対応するテスト用入出力回路が共通のコントローラチップ入出力端子に接続されているため、複数(16個)のテスト用入出力回路の出力信号のワイヤードOR論理をとったレベルがコントローラチップCONTの入出力端子に現れることとなる。

【0026】従って、すべてのメモリチップのメモリセ

ルにデータ“0”を書き込んで読出しを行なった結果、コントローラチップCONTの入出力端子のうち一つでもハイレベルになっていれば、いずれかのメモリチップ内にデータ“0”の書込みが行なえないハイ固定の不良メモリセルが存在していることを検出することができる。

【0027】図3には、上記テスト用入出力回路20の他の回路構成例が示されている。この実施例のテスト用入出力回路は、メモリチップ内にデータ“0”の書込みが行なえないハイ固定の不良メモリセルがあるか否かの検出の他、メモリチップ内にデータ“1”の書込みが行なえないロウ固定の不良メモリセルがあるか否かも検出できるようにしたもので、図2のテスト用入出力回路20に若干の回路を追加したものである。

【0028】具体的には、テスト用入出力回路20のレベル変換回路21と出力用トランジスタ22との間に、レベル変換回路21の真と偽の出力ノードN1、N2の電位を選択的に伝送可能な伝送手段TG11、TG12を設け、この伝送手段TG11、TG12をハイ固定不良検出かロウ固定不良検出かを示す信号H/Lによって制御するように構成される。上記伝送手段TG11、TG12もTG1、TG2と同様に、一対のPチャネルMOSFETとNチャネルMOSFETとが並列接続されたCMOSTランスミッションゲートにより構成することができる。CMOSTランスミッションゲートを使用することにより、信号のレベル落ちを防止することができる。

【0029】なお、上記ハイ固定不良検出かロウ固定不良検出かを示す信号H/Lは、テストモード信号TMDと同様に、カードに空き端子があるときはその端子から、また空き端子がないときは例えばコントローラチップから出力するように構成することができる。その場合、コントローラチップは、外部より入力される制御信号の未使用の組合わせに基づいて、いずれのテストモードが指示されているか判定して制御信号H/Lを形成するように構成すればよい。また、伝送手段TG11、TG12を設ける代わりに、制御信号H/Lによって制御されてメモリチップから読み出されたデータ信号の真と偽の信号を出力可能な論理ゲートを設けるようにしてもよい。

【0030】図4は、本発明を適用したフラッシュメモリカードの第2の実施例を示す。図1の実施例では、テスト用入出力回路を介して各メモリチップのデータ入出力端子が接続されるコントローラチップCONTの入出力端子が、各メモリチップの同一ビット同士で共用するように構成されているのに対し、図4の実施例では各メモリチップごとに全データ入出力端子D0～D15を共通のコントローラチップ入出力端子I/Oiに接続可能に構成したものである。すなわち、図4の実施例では、例えばメモリチップFM1のテスト用入出力回路20は

ワイヤードオア結合されて切換えスイッチSW1を介してコントローラチップCONTの入出力端子I/O0に共通に接続可能にされ、メモリチップFMnのテスト用入出力回路20はワイヤードオア結合されて切換えスイッチSWnを介して共通のコントローラチップCONTの入出力端子I/Onに接続可能に構成されている。これによって、この実施例のメモリカードは、短時間に選別試験が可能な上にカード内のどのメモリチップが不良であるか識別して検出することが可能となる。

【0031】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えばカードに内蔵されたすべてのメモリチップのデータ入出力端子に対応してそれぞれ設けられた全テスト用入出力回路20の入出力ノードをワイヤード結合して、コントローラチップCONTの入出力端子の1つに共通に接続させるように構成しても良い。また、実施例では、出力用トランジスタ22としてコレクタ接地のバイポーラ・トランジスタを用いているが、ドレイン端子が外部端子に接続されたPチャネルMOSFETあるいはCMOSインバータその他のバッファ回路を用いるようにしても良い。少なくとも出力のワイヤード論理をとってコントローラチップCONTの入出力端子に出力できるものであればどのような構成であっても良い。また、複数のテスト用入出力回路の出力のワイヤード論理をとってコントローラチップCONTの入出力端子に供給する代わりに、直接カードの外部端子へ出力するように構成することも可能である。

【0032】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリを内蔵したメモリカードに適用した場合について説明したが、この発明はそれに限定されるものでなく、EEPROMチップやRAMチップを内蔵したメモリカードあるいは複数のメモリチップを1枚のボード上に搭載してなるメモリモジュールなどにも利用することができる。

【0033】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0034】すなわち、この発明は、メモリカードの選別試験に要する時間の大幅な短縮が可能になるという効果を有する。

【図面の簡単な説明】

【図1】本発明を適用したフラッシュメモリカードの第1の実施例を示すブロック図である。

【図2】実施例のテスト用入出力回路の具体的な回路構成例を示す図である。

【図3】テスト用入出力回路の他の回路構成例を示す図

である。

【図4】本発明を適用したフラッシュメモリカードの第2の実施例を示すブロック図である。

【符号の説明】

- 10 プリント配線基板
- 11 アドレスバス
- 12 コントロールバス
- 20 テスト用入出力回路

21 レベル変換回路

22 出力トランジスタ

CONT コントローラチップ

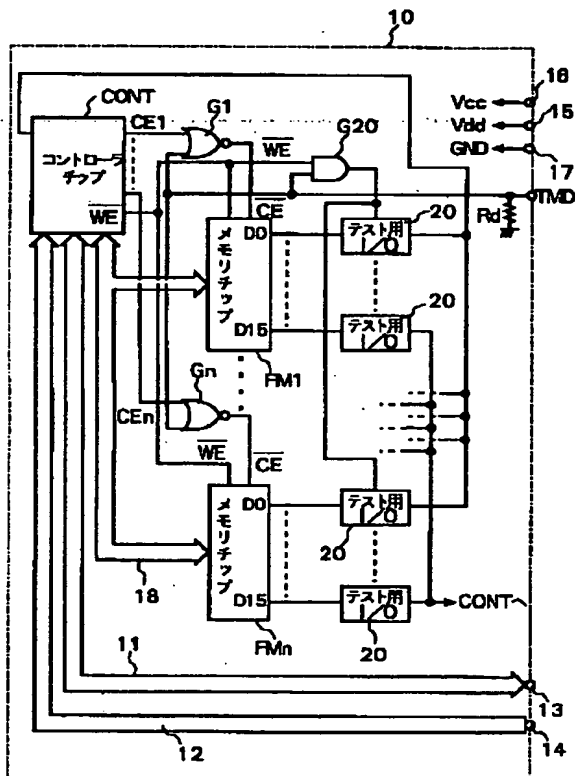
FM1~FMn フラッシュメモリチップ

T0~T15 データ入出力端子

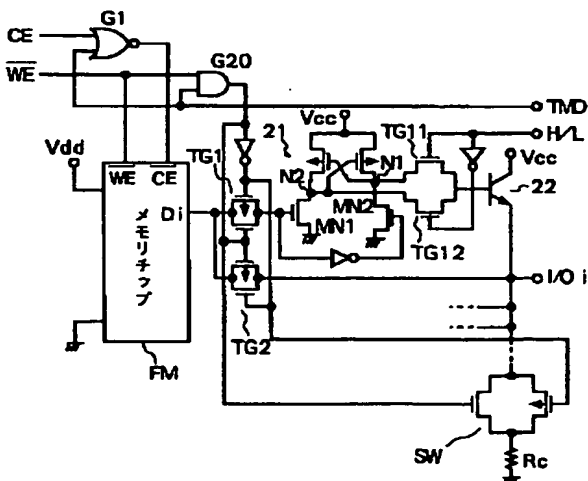
CE1~CEn チップ選択信号

/WE 読出し・書き込み制御信号

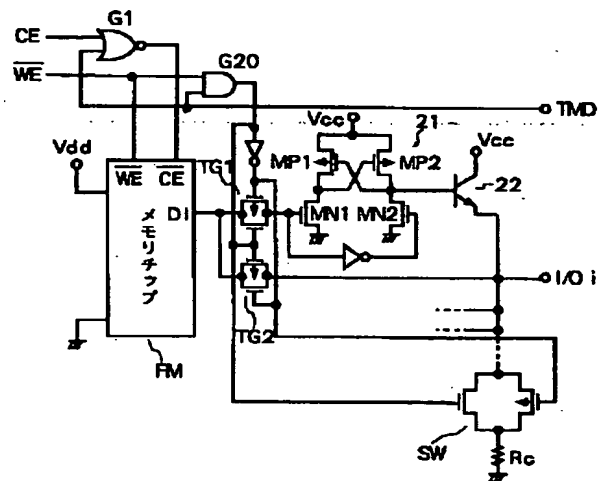
【図1】



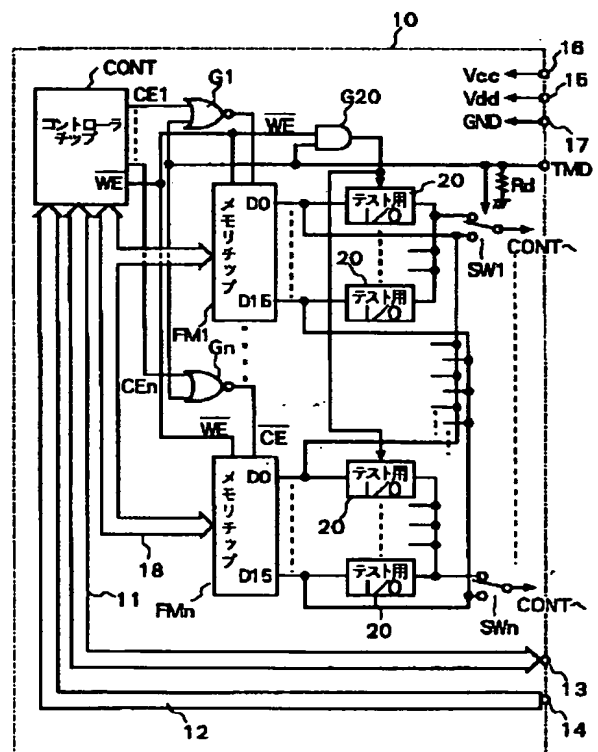
【図3】



【図2】



【図4】



フロントページの続き

(72)発明者 波多野 進
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 深澤 真一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(19) Japanese Patent Office (JP)

(12) Laid-Open Patent Publication (A)

(11) Publication number: Hei 11(1999)-273400

(43) Date of publication of application: 8, 10, 1999

(51) Int. CL⁶ Identification Code

G11C 29/00 675

G01R 31/28

G06F 12/16 330

FI

G11C 29/00 675C

G06F 12/16 330A

G01R 31/28 B

V

Request for Novelty Examination Not requested Number of
Claims: 6 OL (7 Pages in All)

(21) Application number: Hei 10(1998)-75187

(22) Date of Filing: 24, 03, 1998

(71) Applicant 000005108

Hitachi Ltd.

4-6, Kanda-Surugadai, Chiyoda-ku, Tokyo, Japan

(72) Inventor Yoshikazu Iida,

c/o Semiconductor Division, Hitachi Limited,
5-20-1 Josui-honcho, Kodaira, Tokyo, Japan

(72) Inventor Shinou Takahashi,
c/o Semiconductor Division, Hitachi Limited,
5-20-1 Josui-honcho, Kodaira, Tokyo, Japan

(72) Inventor Hirotaka Nishizawa,
c/o Semiconductor Division, Hitachi Limited,
5-20-1 Josui-honcho, Kodaira, Tokyo, Japan

(72) Inventor Susumu Hatano,
c/o Semiconductor Division, Hitachi Limited,
5-20-1 Josui-honcho, Kodaira, Tokyo, Japan

(72) Inventor Shinichi Fukazawa,
c/o Semiconductor Division, Hitachi Limited,
5-20-1 Josui-honcho, Kodaira, Tokyo, Japan

(74) Patent Agent Tomio Oohigata, Patent Attorney

(54) [Title of Invention] Memory Unit

(57) [Abstract]

[Problem] Because the screening test of a conventional memory card uses a method for inputting a test pattern per chip inside the card, there is a problem that testing time is long as the number of built-in chips increases.

[Solving Means] In a memory card that incorporates multiple memory chips (FMs) and a controller chip (CONT) on which selection signals (CEs) and read and write control signals (WEs) of these memory chips are formed, a pair of transmission means (TG1, TG2) that turn on and off complementarily based on an external test mode control signal (TMD) and the read and write control signals output from the aforementioned controller chip per data input and output pin of each memory chip. At the same time, one of the transmission means is connected to the controller chip as it is and the other transmission means is connected to the controller chip via a collector-grounded output transistor (22), for example. In a test mode, all the chips were made to enter a selected state regardless of the chip selection signals output from the aforementioned controller chip based on the aforementioned test mode control signal.

[Scope of Claims]

[Claim 1] A memory unit that incorporates a plurality of memory chips and a controller chip on which selection signals and read and write control signals of the memory chips are formed, comprising:

a pair of transmission means that turn on and off complementarily based on an external test mode control signal and the read and write control signals output from said controller chip per data input and output pin of each memory chip, wherein one of the transmission means is connected to the controller chip of the unit and the other transmission means is connected to said controller chip via an output transistor, and, in a test mode, all the memory chips are made to enter a selected state simultaneously regardless of the chip selection signals output from said controller chip based on said test mode control signal.

[Claim 2] A memory unit according to claim 1, wherein a means that can output a signal in which a data signal output from said memory chip is reversed is provided between said other transmission means and the output transistor.

[Claim 3] A memory unit according to claim 1 or 2, wherein the input and output pin of the controller chip to which the data input and output pins of each of the memory chips is connected via said transmission means can be connected to the input and output of a common controller chip by the same fellow bit of the input and output data of each of the memory chips.

[Claim 4] A memory unit according to claim 1 or 2, wherein the input and output pin of the controller chip to which the data input and output pins of each of the memory chips is connected via said transmission means can be connected to the input and output pin of the controller chip in which all bits of the input and output data are common per memory chip.

[Claim 5] A memory unit according to claim 1, 2, 3 or 4, wherein said output transistor comprises a collector-grounded bipolar transistor in which an emitter pin is connected to the input and output pin of said controller chip.

[Claim 6] A memory unit according to claim 1, 2, 3, 4 or 5, wherein said memory chip is a nonvolatile memory chip.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

The present invention relates to an inspection technique of a memory unit having a semiconductor memory, and, more particularly to an effective technique in applying to a screening test of a memory card and additionally, for example, relates to the effective technique in use in the memory card that incorporates multiple flash memory chips.

[0002]

[Prior Art]

Conventionally, there has been a method in general for allowing

the screening test of a memory card that incorporates multiple memory chips to input a test pattern from a pin provided in the memory card, then select the memory chips one by one and determine all signals output from the chips.

[0003]

[Problem to be Solved by the Invention]

Because the screening test of the aforementioned memory card uses the method for inputting a test pattern per chip inside the card, there is a problem that testing time is long as the number of built-in chips increases. In particular, because a memory card that incorporates a nonvolatile memory, such as an electrically fully erasable flash memory, is longer in a data write and erase time than a volatile memory such as a RAM, there is a defect that the testing time is even longer. In addition, because the memory card tends to have high capacity and increase in the number of built-in chips year by year, a technique that enables the screening test in a short time has been desired.

[0004]

An object of the present invention is to provide a technique that enables significant reduction in time required for the screening test of a memory card.

[0005]

The aforementioned and other objects of the present invention and its new features will become evident from the description

of this specification and its appended drawings.

[0006]

[Means for Solving the Problem]

A typical invention among the inventions disclosed in this application is outlined below.

[0007]

That is, a memory unit, such as a memory card, that incorporates multiple memory chips and a controller chip on which selection signals and read and write control signals of these memory chips are formed provides a pair of transmission means that turn on and off complementarily based on an external test mode control signal and the read and write control signal output from the controller chip per data input and output pin of each memory chip. One of the transmission means is connected to the controller chip of the card as it is and the other transmission means is connected to the controller chip of the card via a collector-grounded output transistor. In a test mode, all the memory chips are made to enter a selected state regardless of the chip selection signal output from the aforementioned controller chip based on the aforementioned test mode control signal.

[0008]

According to the aforementioned means, because a signal in which a test pattern is input and stored simultaneously in all memory chips of a memory unit in a screening test, then memory data

is read simultaneously from all the memory chips and their wired OR logic is obtained, can be output from the data input and output pin of the unit, testing time can be shortened significantly compared with a conventional screening test method that inputs and outputs the test pattern sequentially for one chip at a time.

[0009]

In particular, when the aforementioned memory chip is a non-volatile memory, more data writing and erase time is required than a RAM, so there is an advantage that it is particularly effective to reduce the testing time by inputting a test pattern to multiple chips simultaneously and determining output simultaneously.

[0010]

Moreover, a means that can output a signal in which a data signal output from each memory chip is reversed is provided between the aforementioned other transmission means and output transistor. Accordingly, both a defective memory chip having a bit that cannot write data "0" and a defective memory chip having a bit that cannot write data "1" can be detected.

[0011]

Further, the input and output pin of the controller chip of a memory unit to which the data input and output pins of each of the memory chips is connected via the aforementioned transmission means may be shared among the same bits of the

input and output data of each of the memory chips. Alternatively, the data input and output pin can also be connected to the input and output pin of a common controller chip per memory chip. Accordingly, a short-time screening test is enabled, and which memory chip in the unit is defective can be identified and detected. As a result, the memory unit that incorporates a defective chip is processed so that the detected defective chip cannot be used, and can also be distributed as a good product in which the total capacity decreases by one rank (for example, a memory card of 30 megabytes decreases to the memory card of 15 megabytes).

[0012]

Moreover, the aforementioned output transistor has a collector-grounded bipolar transistor in which an emitter pin is connected to the input and output pin of the aforementioned controller chip. Accordingly, the number of elements is reduced in comparison with the case where data is output using a buffer circuit and an occupied area can be reduced. At the same time, a load, such as parasitic resistance or parasitic capacity possessed by the wiring (printed wiring) to the input and output pin of the controller chip, can be driven easily.

[0013]

[Description of Preferred Embodiments]

Preferable embodiments of the present invention are described below with reference to the drawings.

[0014]

FIG. 1 shows a first embodiment of a flash memory card to which the present invention applied.

[0015]

The memory card of this embodiment is not limited in particular. A controller chip CONT as a controller chip on which n flash memory chips FM1 to FMn, and selection signals CE1 to CEn and a read and write control signal /WE (writing is effective at a low level) for each memory chip are formed based on address and control signals input from outside is mounted on a printed wiring board 10 and the entirety is molded with resin. The aforementioned controller chip CONT has one or several semiconductor chips, and is connected to external pins 13, 14 via an address bus 11 and a control bus 12 formed on the board 10. Moreover, a different bus 18 is connected between the controller chip CONT and the flash memory chips FM1 to FMn.

[0016]

In this embodiment, a test input and output circuit 20 is provided per data input and output pin of the aforementioned memory chips FM1 to FMn and the test input and output circuit 20 that correspond to each of the memory chips is connected in common to the input and output pin of the controller chip CONT respectively. That is, the memory chips FM1 to FMn of this embodiment have 16 data input and output pins D0 to D15 respectively. The first data input and output pin D0 of each memory chip is connected to

a first input and output I/O of the controller chip CONT via the test input and output circuit 20 that is provided correspondingly. The second data input and output pin of each memory chip is connected to a second input and output pin of the controller chip CONT and the third data input and output pin is connected to a third input and output pin of the controller chip CONT. In the same manner, each data input and output pin of the memory chip is connected to the input and output of the corresponding controller chip CONT respectively.

[0017]

Further, the memory card 10 of this embodiment provides NOR gates G1 to G8 for the respective memory chips FM1 to FMn so that chip selection signals CE1 to CE8 supplied from the aforementioned controller chip CONT to each of the memory chips FM1 to FMn can be used as one input and a test mode signal TMD (effective at a high level) supplied from outside to another input can be allocated. An AND gate G20 is provided so that the common read and read control signal /WE output to all the memory chips FM1 to FMn can be used as one input and the test mode signal TMD supplied from outside to another input can be allocated. The aforementioned test input and output circuit 20 provided by the output and input signal of this AND gate G20 per data input and output pin is controlled. 15 is an external power pin in which a power supply voltage Vdd supplied to the memory chips FM1 to FMn and the controller chip CONT

is applied. 16 is an external power pin in which a power supply voltage V_{cc} ($> V_{dd}$) supplied to the test input and output circuit 20 is applied. 17 is an external ground pin in which ground potential supplied to all circuits inside the card is applied. The power supply voltage V_{cc} may be generated from the V_{dd} inside the card as well.

[0018]

In the aforementioned embodiment, a pull-down resistor R_d is connected to a pin to which the test mode signal TMD is input. Even if this pin is made to enter an open state (no voltage is applied) in a busy condition, the pin will not enter a test mode incorrectly. Moreover, the aforementioned test mode signal TMD is output from an idle pin when the idle pin is provided or from a controller chip, for example, when the idle pin is not provided. In that case, the controller chip forms the control signal TMD by determining whether the test mode is instructed based on an unused combination of control signals input from outside.

[0019]

Further, in the embodiment of FIG. 1, the test input and output circuit 20 is shown as a different circuit respectively. These circuits are formed collectively on one semiconductor chip or can be even formed into one chip when they are incorporated into the controller chip CONT.

[0020]

FIG. 2 shows a specific circuit configuration example of the aforementioned test input and output circuit. The test input and output circuit 20 of this embodiment provides transmission means TG1, TG2 having a CMOS transmission gate in parallel in which a pair of P-channel MOSFET and N-channel MOSFET are connected in parallel between the data input and output pin D_i ($i = 0$ to 15) of the memory chip and the input and output I/O $_i$ of the controller chip CONT. At the same time, a level conversion circuit 21 and an output transistor 22 having a collector-grounded bipolar transistor are provided between the transmission means TG1 and the input and output pin I/O $_i$ of the controller chip CONT.

[0021]

The level conversion circuit 21 has a pair of P-channel MOSFETs MP1, MP2 and a pair of N-channel MOSFETs MN1, MN2, and has a CMOS latch type circuit in which mutual drain pins are intersected and linked to the gate pins of the PMOS MP1, MP2. The signal of a TTL level output from each memory chip is converted to the output of the collector-grounded bipolar transistor 22 and the binarization of an output level is realized. Moreover, the emitter pin of each output transistor 22 is linked in common and is connected to a ground point via a switch SW having a CMOS transmission gate and a resistor R_c . Subsequently, the output in which wired OR logic is obtained is supplied to the input and output of the controller chip CONT.

[0022]

The aforementioned pair of the transmission means TG1, TG2 is controlled by the output signal of the aforementioned AND gate G20 in which the test mode control signal TMD and the read and write control signal /WE are used as input signals. When the test mode control signal TMD is set at a low level indicating a normal operation mode that is not a test mode, TG2 out of TG1, TG2 is made to enter a conduction state and is linked directly between the data input and output pin Di of the memory chip and the input and output I/Oi of the controller chip CONT. Accordingly, in the normal mode, the data signal output from the data input and output pin Di of the memory chip is input immediately from the input and output I/Oi of the controller chip CONT to the controller chip CONT, while the data signal output from the input and output pin I/Oi of the controller chip CONT is supplied to the data input and output pin Di of the memory chip.

[0023]

Besides, the data signal input at this time is also supplied to another memory chip that shares the input and output pin I/Oi of the controller chip CONT. In a normal mode, however, because only any one of the memory chips is validated by the chip selection signals CE1 to CEn output from the controller chip, only the selected memory chip fetches data that was input and writes it to an internal memory cell.

[0024]

When the aforementioned test mode control signal TMD is set at a high level that indicates a test mode, one of the transmission means TG1 and TG2 enters a conduction state in accordance with the read and write control signal /WE output from the controller chip. Specifically, when the signal is set at the low level that indicates the read and write control signal /WE in the test mode, TG2 out of TG1, TG2 is made to enter the conduction state and is linked directly between the data input and output pin Di of the memory chip and the input and output I/Oi of the controller chip. Accordingly, in a normal mode, the data signal output from the data input and output pin Di of the memory chip is input immediately from the data input and output pin I/Oi of the controller chip CONT to the controller chip CONT, while the data signal output from the input and output pin I/Oi of the controller chip CONT is supplied to the data input and output pin Di of the memory chip. In addition, the data signal input at this time is also supplied to another memory chip that shares the input and output pin I/Oi of the controller chip CONT. In the test mode, however, because the output of NOR gates G1 to Gn that use the chip selection signals CE1 to CEn and test mode signal TMD output from the controller chip CONT as input is all set at the low level, all the memory chips are validated. Accordingly, in the test mode, all the memory chips fetch the data output from the input and output pin of the controller

chip CONT and write it an internal memory cell.

[0025]

On the contrary, when the read and write control signal /WE is set at the high level that indicates read in a test mode, TG1 out of the transmission means TG1, TG2 is made to enter a conduction state and the data input and output pin Di of the memory chip is connected to the corresponding test input and output circuit 20. Accordingly, in the test mode, the read data signal output from the data input and output pin Di of the memory chip is supplied to the test input and output circuit 20 and the signal level is converted, then the output transistor 22 enters an on or off state in accordance with the read data. The signal that complies with this on or off state is input from the input and output pin I/Oi of the controller chip to the controller chip CONT. In addition, at this time, because the test input and output circuit to which all memory chips correspond is connected to a common controller input and output pin, a level in which the wired OR logic of the output signal of multiple (16) test input and output circuits was obtained will appear in the input and output pin of the controller chip CONT.

[0026]

Accordingly, as a result of writing data "0" to the memory cells of all memory chips and reading it, if only one input and output pin of the controller chip CONT reaches a high level, it can

be detected that there is a defective memory cell fixed at the high level in which data "0" cannot be written to any memory chip.

[0027]

FIG. 3 shows another circuit configuration example of the aforementioned test input and output circuit 20. The test input and output circuit of this embodiment can detect whether there is the defective memory cell fixed at a high level in which data "0" cannot be written to the memory chip, and can detect even whether there is a defective memory cell fixed at a low level in which data "1" cannot be written to the memory chip. The drawing adds a few circuits to the test input and output circuit 20 of FIG. 2.

[0028]

Specifically, transmission means TG11, TG12 that can selectively transmit the potential of true and false output nodes N1, N2 of the level conversion circuit 21 are provided between the level conversion circuit 21 and the output transistor 22 of the test input and output circuit 20. These transmission means TG11, TG12 are controlled with a signal H/L indicating that a defect fixed at a high level is detected or a defect fixed at a low level is detected. The aforementioned transmission means TG11, TG12 can also be provided with a CMOS transmission gate in which a P-channel MOSFET and an N-channel MOSFET in a pair are connected in parallel, in the same manner

as TG1, TG2. Signal level deterioration can be prevented using the CMOS transmission gate.

[0029]

The signal H/L indicating that the aforementioned defect fixed at the high level is detected or the defect fixed at the low level is detected is output from an idle pin when the idle pin is in the card or output from the controller chip, for example, when there is no pin, in the same manner as the test mode signal TMD. In that case, the controller chip can form the control signal H/L by determining which test mode is instructed based on an unused combination of control signals input from outside. Moreover, instead of providing the transmission means TG11, TG12, a logic gate that can output true and false signals of the data signal controlled with the control signal H/L and output from the memory chip may also be provided.

[0030]

FIG. 4 shows a second embodiment of the flash memory card to which the present invention applied. In the embodiment of FIG. 1, the input and output pin of the controller chip CONT that connects the data input and output pin of each memory chip via the test input and output circuit is shared among the same bits of the memory chips, while, in the embodiment of FIG. 4, all the data input and output pins D0 to D15 can be connected to the common controller chip input and output I/Oi for each memory chip. That is, in the embodiment of FIG. 4, for example, the

test input and output circuit 20 of the memory chip FM1 is linked through a wired OR gate and can be connected in common to the input and output pin I/O0 of the controller chip CONT via a changeover switch SW1. The test input and output circuit 20 of the memory chip FMn is linked through the wired OR gate and can be connected to the input and output pin I/On of the common controller chip CONT via a changeover switch SWn. Accordingly, the memory card of this embodiment enables a screening test in a short time and can identify and detect which memory chip inside the card is defective.

[0031]

The invention made by the present inventors was described above specifically based on the embodiments. Needless to say, however, the present invention is limited to the aforementioned embodiments, and can make various changes and modifications without departing from the spirit and scope thereof. For example, the input and output nodes of all the test input and output circuits 20 provided respectively corresponding to the input and output pins of all memory chips incorporated in the card are linked through a wired OR gate and connected to one common input and output pin of the controller chip CONT. Moreover, in the embodiment, a collector-grounded bipolar transistor is used as the output transistor 22 is used, but the P-channel MOSFET or a CMOS inverter and another buffer circuit that connect a drain pin to an external pin may also

be used. If at least the wired logic of output is obtained and can be output to the input and output pin of the controller chip CONT, any configuration is acceptable. Moreover, instead of obtaining the wired logic of the output of multiple test input and output circuits and supplying it to the input and output of the controller chip CONT, it can also be output to the external pin of the card directly.

[0032]

The aforementioned description is chiefly made concerning the case where the invention made by the inventors is applied to a memory card that incorporates a flash memory that is the field of an application forming the background. This invention is not limited to it, and it can also be utilized for a memory module in which a memory card or multiple memory chips that incorporate an EEPROM chip or a RAM chip are mounted on a board.

[0033]

[Effect of the Invention]

The effect obtained by the typical invention disclosed in this application is described below briefly.

[0034]

That is, the present invention has an effect indicating that significant reduction in time required for the screening test of a memory card is enabled.

[Brief Description of the Drawing]

FIG. 1 is a block diagram showing a first embodiment of a flash

memory card to which the present invention is applied.

FIG. 2 is a drawing showing a specific circuit configuration example of a test input and output circuit of the embodiment.

FIG. 3 is a drawing showing another circuit configuration example of the test input and output circuit.

FIG. 4 is a block diagram showing a second embodiment of the flash memory card to which the present invention is applied.

[Explanation of Codes]

10. Printed Wiring Board

11. Address bus

12. Control Bus

20. Test Input and Output Circuit

21. Level Conversion Circuit

22. Output Transistor

CONT Controller Chip

FM1 to FMn Flash Memory Chip

T0 to T15 Data Input and Output Pin

CE1 to CEn Chip Selection Signal

/WE Read and Write Control Signal

【図4】本発明を適用したフラッシュメモリカードの第2の実施例を示すブロック図である。

10	プリント配線基板
11	アドレスバス
12	コントロールバス
20	テスト用入出力回路

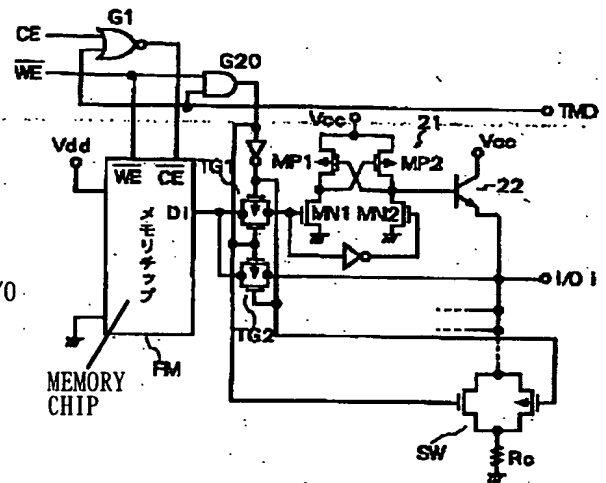
22 出力トランジスタ

FM1～FMn . . フラッシュメモリチップ

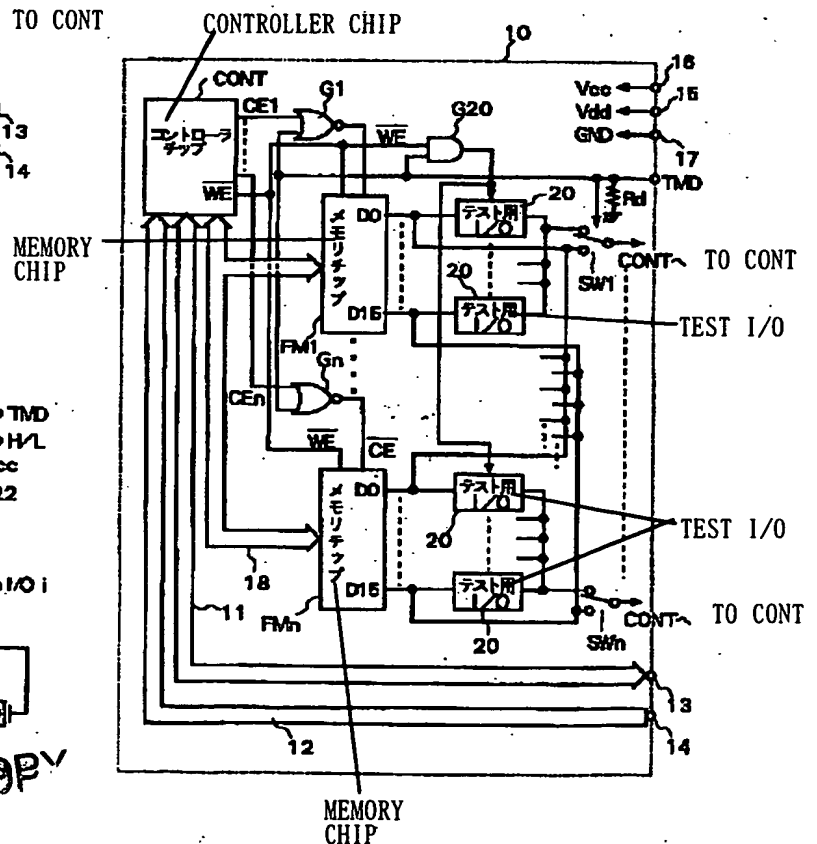
CE1~CEn チップ選択信号

WE 読出し・書込み制御信号

【図2】



【図3】



BEST AVAILABLE COPY